

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-035213

(43)Date of publication of application : 12.02.1993

(51)Int.Cl.

G09G 3/36
G02F 1/133
G09G 3/20
H04N 1/04

(21)Application number : 03-189083

(71)Applicant : NEC CORP

(22)Date of filing : 30.07.1991

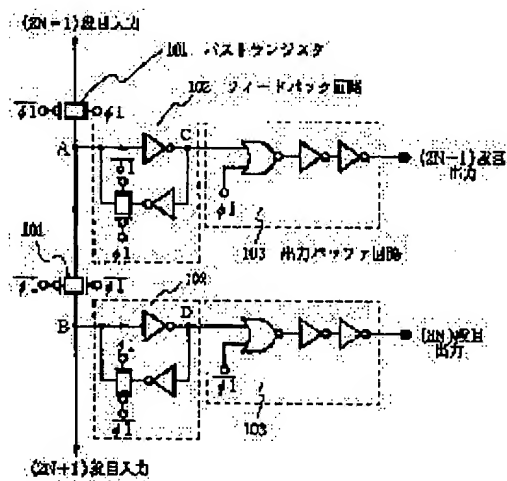
(72)Inventor : ASADA HIDEKI

(54) SCANNING CIRCUIT AND ITS DRIVING METHOD

(57)Abstract:

PURPOSE: To provide the high-yield, high-speed scanning circuit which eliminates a surface defect of an image due to a defect of the scanning circuit for a driving-circuit integrated type image input/output device.

CONSTITUTION: The scanning circuit consisting of a path transistor 101 which transfers a signal from a front stage to a rear state with a clock signal, a feedback circuit 102 which prevents the amplitude of the delayed and transferred signal from being attenuated, and an output buffer circuit 103 which is controlled by the clock signal or its inverted clock signal, is driven by inputting the clock signal which has a period ($2 \times T$) twice as long as a scanning period T .



LEGAL STATUS

[Date of request for examination] 29.11.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]

[Date of final disposal for application]

[Patent number] 2697385

[Date of registration] 19.09.1997

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

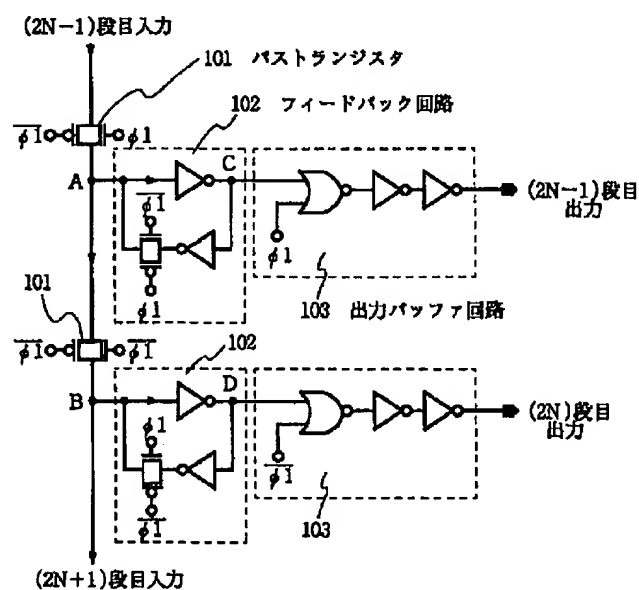
[Claim 1] It is the scanning circuit formed by accumulating a thin film transistor on an insulating substrate. A pass transistor which makes an input signal a signal sent from the preceding paragraph, is controlled by one piece or two clock signals which have a relation of opposition mutually, and makes an input signal to the next step an output signal, A feedback circuit which makes an output signal of said pass transistor an input signal, and is controlled by said clock signal, A scanning circuit characterized by consisting of output-buffer circuits which make an output signal of said feedback circuit an input signal, and are controlled by one [at least] clock signal among said one clock signal or said two clock signals.

[Claim 2] It is the scanning circuit characterized by consisting of a NOR circuit where said output-buffer circuit makes one [at least] clock signal an input signal in a scanning circuit according to claim 1 among an output signal of said pass transistor, said one clock signal, or said two clock signals, and a normal rotation buffer circuit which makes an output signal of the NOR circuit an input signal.

[Claim 3] A drive method of a scanning circuit characterized by a period inputting a clock signal of $(2xT)$ as said clock signal in a drive method of a scanning circuit according to claim 1 when a scan period is set to T .

[Translation done.]

Drawing selection Representative drawing



[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the scanning circuit used for circumference drive circuits, such as a liquid crystal display, a contact image sensor, and a liquid crystal shutter.

[0002]

[Description of the Prior Art] There is technology which unifies and produces a thin film drive circuit for the purpose of the miniaturization of a liquid crystal display, a contact image sensor, a liquid crystal shutter, etc., low-cost-izing, and high-reliability. By installing a circumference drive circuit on the same substrate as a pixel electrode, this is based on the concept that the problem of the reliability produced from the limit of that drastic reduction of the number of end-connection children and the number of the external drives IC is possible and a large area, and the bonding production process of high density is solvable.

[0003] The scanning circuit which consists of a shift register and an output buffer serves as an important component of the above-mentioned thin film drive circuit for example, in a active-matrix liquid crystal display as a vertical-drive circuit or a circuit which scans a clock pulse. Drawing 3 is drawing showing the bit (2N-1) eye of the conventional scanning circuit, and a bit (2Ns) eye. Only a fixed period can delay the inputted signal with a clock signal ϕ_1 and the reversal clock signal of this clock signal ϕ_1 , the sequential transfer of the shift register 301 can be carried out to the shift register of the next step, and the output of each shift register is outputted as a scan pulse signal through an output-buffer circuit.

[0004] Drawing 4 is drawing showing the timing chart of the conventional scanning circuit shown in drawing 3. In this case, the scan pulse signal of a bit (2N-1) eye and a bit (2Ns) eye is outputted to the respectively same timing as the outputs A and B of a shift register.

[0005]

[Problem(s) to be Solved by the Invention] With the present process technology, it is very difficult to form a defect-free thin film drive circuit with large-area-izing of image I/O devices, such as a liquid crystal display, a contact image sensor, and a liquid crystal shutter, and long-picture-izing. In the scanning circuit of the conventional type which carried out series connection especially of the shift register, if at least one defect exists in an intermediate stage, it becomes impossible to transmit a scan signal normally, and in two-dimensional image devices, such as a liquid crystal display, it will become a plane defect after the stage, and it will appear. Since this is generated even when a defect does not exist in the

pixel array section, the defect of a scanning circuit is the big factor which reduces the yield of a device.

[0006] Moreover, a more nearly high-speed scanning circuit is required with high-resolution-izing of the above-mentioned image I/O device. Although it can attain by improvement in the speed of a scanning circuit mainly raising the mobility of a thin film transistor, or making gate length of a transistor small, the big problem that a transistor production process must be changed in that case arises.

[0007] This invention aims at offering the high yield which abolishes the plane defect of an image device at least and a high-speed scanning circuit, and its drive method, in order to solve the above-mentioned trouble.

[0008]

[Means for Solving the Problem] In a scanning circuit formed by this invention accumulating a thin film transistor on an insulating substrate A signal sent from the preceding paragraph is made into an input signal. In one piece Or a pass transistor which is controlled by two clock signals which have a relation of opposition mutually, and makes an input signal to the next step an output signal, A feedback circuit which makes an output signal of said pass transistor an input signal, and is controlled by said clock signal, An output signal of said feedback circuit is made into an input signal. In and said one clock signal It is the scanning circuit characterized by consisting of output-buffer circuits controlled by one [at least] clock signal among said two-piece clock signals. Or the output-buffer circuit A NOR circuit which makes one [at least] clock signal an input signal among an output signal of said pass transistor, said one clock signal, or said two clock signals, It is characterized by consisting of normal rotation buffer circuits which make an output signal of the NOR circuit an input signal. Moreover, this scanning circuit is driven when a scan period is set to T , and a period inputs a clock signal of $(2xT)$.

[0009]

[Function] The yield of a thin film drive circuit falls remarkably according to an exponential function while circuit area becomes large. Since the portion which carries out the delay transfer of the signal from the preceding paragraph to the next step consists of only pass transistors, as compared with the conventional scanning circuit constituted from a shift register, the area of the portion is sharply reducible in the scanning circuit of this invention. Therefore, the probability which can carry out the delay transfer of the signal to the last stage improves remarkably. That is, it can become a drawing defect and the defect of a scanning circuit in which it appears can be reduced remarkably.

[0010] Moreover, by the drive method of the scanning circuit of this invention, when a scan period is set to T , the period of a clock signal is made into speed compared with $(2xT)$ and the KUROKU period T which was necessity conventionally, and twice as many additional coverage as this produces it. Furthermore, the delay which a scan pulse signal produces in the output of a feedback circuit when a **** top delays ** timing from the timing to which the output signal of a feedback circuit falls can be disregarded. Improvement in the speed of a scanning circuit can be attained as mentioned above.

[0011]

[Example] The scanning circuit and the example of the drive method of this invention are explained below at details.

[0012] Drawing 1 is drawing showing the example of the scanning circuit of this invention. By this example, the scanning circuit of this invention is realized in a

CMOS static circuit, and eye a stage and eye a stage ($2N_s$) are shown in drawing (N is the natural number here). ($2N-1$) Naturally it is possible in constituting from NOMS. This scanning circuit consists of a pass transistor 101 which carries out the delay transfer of the signal from the preceding paragraph to the next step with a clock signal ϕ_1 and the clock signal which reversed this clock signal ϕ_1 , a feedback circuit 102 for preventing the attenuation of the amplitude of a pulse signal which carries out the delay transfer, and an output-buffer circuit 103 controlled by the clock signal which reversed the clock signal ϕ_1 in the odd level eye, as shown in drawing. The output-buffer circuit consisted of a NOR circuit which makes one [at least] clock signal an input signal among the output signal of said pass transistor, said one clock signal, or said two clock signals, and a normal rotation buffer circuit which makes the output signal of the NOR circuit an input signal.

[0013] By this configuration, circuit area of the portion which carries out the delay transfer of the pulse signal from the preceding paragraph to the next step can be made small compared with the conventional scanning circuit ($1/8$), and the circuit area of the portion except an output buffer (can be reduced to conventional one half).

[0014] Drawing 2 is drawing showing the timing chart of the scanning circuit shown in drawing 1. By the drive method of this scanning circuit, the period of a clock signal is $2xT$ and it became possible to drive on one half of the frequency of the drive frequency which this used conventionally to the scan pulse signal of the same period. Furthermore, the delay which produces the scan pulse signal of eye a stage ($2N-1$) and eye a stage ($2N_s$) in the pass transistor 101 and a feedback circuit 102 with [since it is outputted to the timing which was only in the timing to which the output signals C and D of a feedback circuit are outputted to T / the standup of the pulse signal of a feedback circuit 102 and falling time amount] T [less than] does not affect delay of a scan pulse signal.

[0015] moreover, the phase [as opposed to the above-mentioned clock signal as the 2nd clock signal the clock signal ϕ_1 which controls the output-buffer circuit 103, and instead of the reversal clock signal] θ -- respectively -- $0 < \theta < (1/2)$ -- only -- the advanced clock signal may be boiled, respectively and may be inputted.

[0016] 2000 steps of scanning circuits which adopted the scanning circuit of this invention were actually produced by accumulating a polycrystalline silicon thin film transistor on a glass substrate. Consequently, the probability for a pulse signal to be normally transmitted to the last stage at least improved from 50 conventional% to 90%.

[0017]

[Effect of the Invention] If the scanning circuit of this invention is applied as explained above, since circuit area of the portion which transmits the pulse signal from the preceding paragraph to the next step (can be made conventional one eighth) small, the plane defect of the two-dimensional image device produced according to the defect of a drive circuit at least can be reduced remarkably. That is, the scanning circuit of this invention is very useful for raising yields, such as the above-mentioned liquid crystal display, a contact image sensor, and a liquid crystal shutter. Moreover, since the drive method of the above-mentioned scanning circuit of this invention can obtain the same scan frequency on one half of the frequency of the conventional drive frequency, it is very useful as the drive method which can respond to high resolution-ization of an image I/O device.

[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-35213

(43)公開日 平成5年(1993)2月12日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36		7926-5G		
G 0 2 F 1/133	5 0 5	7820-2K		
G 0 9 G 3/20		J 9176-5G		
H 0 4 N 1/04	1 0 3 Z	7251-5C		

審査請求 未請求 請求項の数3(全 6 頁)

(21)出願番号 特願平3-189083

(22)出願日 平成3年(1991)7月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 浅田 秀樹

東京都港区芝五丁目7番1号日本電気株式
会社内

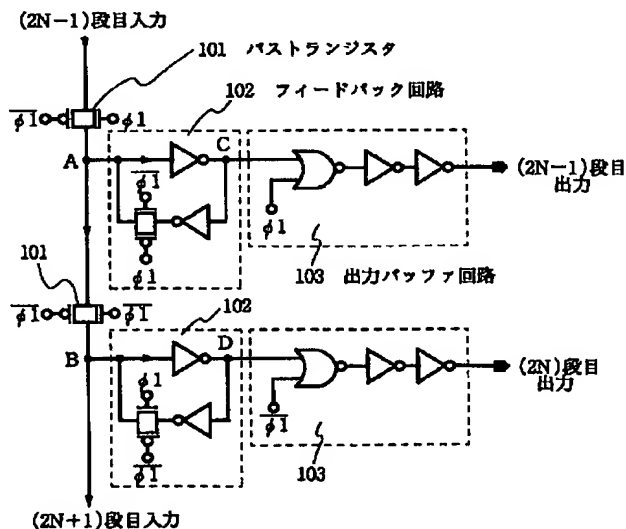
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 走査回路およびその駆動方法

(57)【要約】

【目的】駆動回路一体型画像入出力デバイスにおいて、走査回路の欠陥により現れる画像の面欠陥を無くす高歩留り、かつ高速な走査回路を提供すること。

【構成】本発明の走査回路は、前段からの信号をクロック信号により次段へ転送するパストランジスタ101と、遅延転送する信号の振幅の減衰を防ぐためのフィードバック回路102と、クロック信号が、あるいはその反転クロック信号で制御される出力バッファ回路103とで構成され、走査周期Tの2倍の周期(2×T)のクロック信号を入力することで駆動される。



1

【特許請求の範囲】

【請求項 1】 絶縁基板上に薄膜トランジスタを集積して形成された走査回路であって、前段から送られてきた信号を入力信号とし、かつ 1 個あるいは互いに逆相の関係にある 2 個のクロック信号で制御され、かつ次段への入力信号を出力信号とするパストランジスタと、前記パストランジスタの出力信号を入力信号とし、かつ前記クロック信号で制御されるフィードバック回路と、前記フィードバック回路の出力信号を入力信号とし、かつ前記 1 個のクロック信号か、あるいは前記 2 個のクロック信号のうち少なくとも一方のクロック信号で制御される出力バッファ回路とで構成されたことを特徴とする走査回路。

【請求項 2】 請求項 1 に記載の走査回路において、前記出力バッファ回路は、前記パストランジスタの出力信号と前記 1 個のクロック信号か、あるいは前記 2 個のクロック信号のうち少なくとも一方のクロック信号を入力信号とする NOR 回路と、その NOR 回路の出力信号を入力信号とする正転バッファ回路とで構成されたことを特徴とする走査回路。

【請求項 3】 請求項 1 に記載の走査回路の駆動方法において、前記クロック信号として、走査周期を T とした場合、周期が $(2 \times T)$ のクロック信号を入力することを特徴とする走査回路の駆動方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶ディスプレイ、密着イメージセンサ、液晶シャッタ等の周辺駆動回路に用いられる走査回路に関する。

【0002】

【従来の技術】 液晶ディスプレイ、密着イメージセンサ、液晶シャッタ等の小型化、低コスト化、高信頼性を目的として、薄膜駆動回路を一体化して作製する技術がある。これは画素電極と同一基板上に周辺駆動回路を設置することにより、接続端子の数および外部駆動 IC の数の大幅な削減が可能で、また大面積、高密度のボンディング工程の限界から生ずる信頼性の問題を解決できるというコンセプトに基づくものである。

【0003】 シフトレジスタと出力バッファで構成される走査回路は、たとえばアクティブマトリクス液晶ディスプレイにおいて垂直駆動回路、あるいはクロックパルスを走査する回路として上記薄膜駆動回路の重要な構成要素となる。図 3 は従来の走査回路の $(2N-1)$ ビット目、 $(2N)$ ビット目を示す図である。シフトレジスタ 301 は入力された信号をクロック信号 $\phi 1$ 、及びこのクロック信号 $\phi 1$ の反転クロック信号により一定の周期だけ遅らせて次段のシフトレジスタへ順次転送していくことができ、各シフトレジスタの出力は出力バッファ回路を通して走査パルス信号として出力される。

【0004】 図 4 は図 3 に示した従来の走査回路のタイ

2

ミングチャートを示す図である。この場合、 $(2N-1)$ ビット目、 $(2N)$ ビット目の走査パルス信号はそれぞれシフトレジスタの出力 A、B と同じタイミングで出力される。

【0005】

【発明が解決しようとする課題】 液晶ディスプレイ、密着イメージセンサ、液晶シャッタ等の画像入出力デバイスの大面積化、長尺化に伴い、無欠陥の薄膜駆動回路を形成することは現状のプロセス技術では非常に困難である。特にシフトレジスタを直列接続した従来型の走査回路では、途中の段に 1 個でも欠陥が存在するとその段以降は走査信号を正常に転送することができなくなり、液晶ディスプレイ等の 2 次元画像デバイスでは面欠陥となって現れる。これは画素アレイ部に欠陥が存在しない場合でも発生するため走査回路の欠陥がデバイスの歩留まりを低下させる大きな要因になっている。

【0006】 また、上記画像入出力デバイスの高解像度化に伴い、より高速な走査回路が要求されてくる。走査回路の高速化は主に薄膜トランジスタの移動度を向上させるか、あるいはトランジスタのゲート長を小さくすることによって達成可能であるが、その場合トランジスタ作製プロセスを変更しなければならないという大きな問題が生じる。

【0007】 本発明は上記問題点を解決するために、少なくとも画像デバイスの面欠陥を無くす高歩留まり、かつ高速な走査回路とその駆動方法を提供することを目的としている。

【0008】

【課題を解決するための手段】 本発明は、絶縁基板上に薄膜トランジスタを集積して形成された走査回路において、前段から送られてきた信号を入力信号とし、かつ 1 個かあるいは互いに逆相の関係にある 2 個のクロック信号で制御され、かつ次段への入力信号を出力信号とするパストランジスタと、前記パストランジスタの出力信号を入力信号とし、かつ前記クロック信号で制御されるフィードバック回路と、前記フィードバック回路の出力信号を入力信号とし、かつ前記 1 個のクロック信号か、あるいは前記 2 個クロック信号のうち少なくとも一方のクロック信号で制御される出力バッファ回路とで構成されたことを特徴とする走査回路であって、その出力バッファ回路は、前記パストランジスタの出力信号と前記 1 個のクロック信号か、あるいは前記 2 個のクロック信号のうち少なくとも一方のクロック信号を入力信号とする NOR 回路と、その NOR 回路の出力信号を入力信号とする正転バッファ回路とで構成されたことを特徴としている。また、この走査回路は、走査周期を T とした場合、周期が $(2 \times T)$ のクロック信号を入力することにより駆動される。

【0009】

【作用】 薄膜駆動回路の歩留まりは回路面積が大きくな

3

るとともに指数関数に従って著しく低下する。本発明の走査回路では、前段からの信号を次段へ遅延転送する部分がパストランジスタだけで構成されているため、シフトレジスタで構成した従来の走査回路に比較してその部分の面積を大幅に縮小することができる。従って、最終段まで信号を遅延転送できる確率は著しく向上する。すなわち、画欠陥となって現れるような走査回路の欠陥を著しく低減させることができる。

【0010】また、本発明の走査回路の駆動方法では、走査周期を T とした場合、クロック信号の周期は $(2 \times T)$ と、従来必要であったクロック周期 T に比べてスピードにかし2倍の余裕が生じる。さらに走査パルス信号が立ち上がるタイミングをフィードバック回路の出力信号が立ち下がるタイミングから遅らせることにより、フィードバック回路の出力に生じる遅延を無視することができる。以上のようにして走査回路の高速化を図ることができる。

【0011】

【実施例】以下に本発明の走査回路とその駆動方法の実施例を詳細に説明する。

【0012】図1は本発明の走査回路の実施例を示す図である。本実施例では本発明の走査回路をCMOSスタティック回路で実現したものであり、図には $(2N-1)$ 段目、 $(2N)$ 段目が示されている（ここで N は自然数）。NOMSで構成することを当然可能である。本走査回路は図に示すように、前段からの信号をクロック信号 $\phi 1$ 、及びこのクロック信号 $\phi 1$ を反転したクロック信号により次段へ遅延転送するパストランジスタ101と、遅延転送していくパルス信号の振幅の減衰を防ぐためのフィードバック回路102と、奇数段目においてはクロック信号 $\phi 1$ を反転したクロック信号で制御される出力バッファ回路103とで構成される。出力バッファ回路は、前記パストランジスタの出力信号と前記1個のクロック信号か、あるいは前記2個のクロック信号のうち少なくとも一方のクロック信号を入力信号とするNOR回路と、そのNOR回路の出力信号を入力信号とする正転バッファ回路とで構成した。

【0013】この構成によって、前段からのパルス信号を次段へ遅延転送する部分の回路面積を従来の走査回路に比べて $(1/8)$ に小さくすることができ、また出力バッファを除いた部分の回路面積を従来の $(1/2)$ に縮小することができる。

【0014】図2は図1に示した走査回路のタイミングチャートを示す図である。本走査回路の駆動方法では、

4

クロック信号の周期は $2 \times T$ であり、これにより、同じ周期の走査パルス信号に対し従来用いていた駆動周波数の $1/2$ の周波数で駆動することが可能となった。さらに、 $(2N-1)$ 段目、 $(2N)$ 段目の走査パルス信号はフィードバック回路の出力信号C、Dが出力されるタイミングから T だけ遅れたタイミングで出力されるので、フィードバック回路102のパルス信号の立ち上がり、立ち下がり時間が T 以内であれば、パストランジスタ101、およびフィードバック回路102で生じる遅延が走査パルス信号の遅延に影響を与えることはない。

【0015】また出力バッファ回路103を制御するクロック信号 $\phi 1$ 、及びその反転クロック信号の代わりに、第2のクロック信号として、前述のクロック信号に対する位相 θ をそれぞれ $0 < \theta < (1/2)$ だけ進ませたクロック信号をそれぞれに入力しても良い。

【0016】本発明の走査回路を採用した2000段の走査回路を実際に多結晶シリコン薄膜トランジスタをガラス基板上に集積することにより作製した。その結果、少なくとも最終段までパルス信号が正常に転送される確率が従来の50%から90%に向上した。

【0017】

【発明の効果】以上説明したように本発明の走査回路を適用すれば、前段からのパルス信号を次段へ転送する部分の回路面積を従来の $(1/8)$ に小さくできるので、少なくとも駆動回路の欠陥によって生じていた2次元画像デバイスの面欠陥を著しく低減することができる。すなわち、本発明の走査回路は上記液晶ディスプレイ、密着イメージセンサ、液晶シャッタ等の歩留まりを向上させるのに極めて有用である。また本発明の上記走査回路の駆動方法は従来の駆動周波数の $1/2$ の周波数で同じ走査周波数を得ることができるので、画像入出力デバイスの高解像度化に対応できる駆動方法として極めて有用である。

【図面の簡単な説明】

【図1】本発明の走査回路を示す図。

【図2】本発明の駆動方法の実施例を示す図。

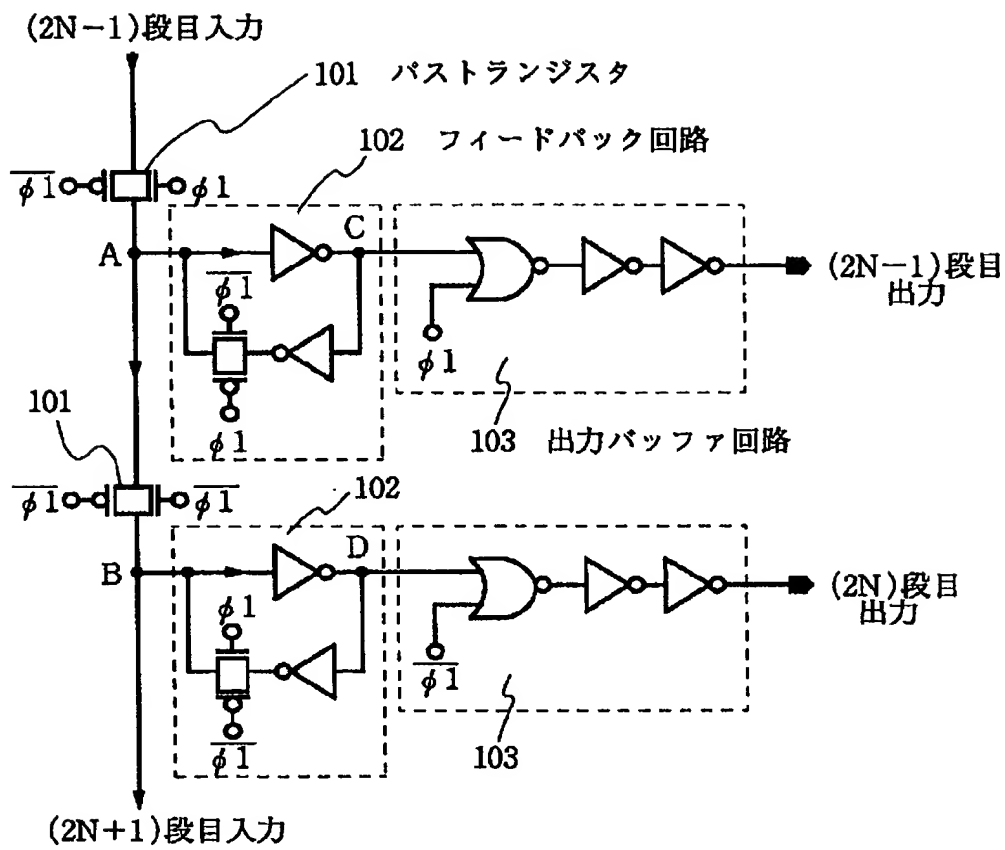
【図3】従来型の走査回路を示す図。

【図4】従来の駆動方法を示す図。

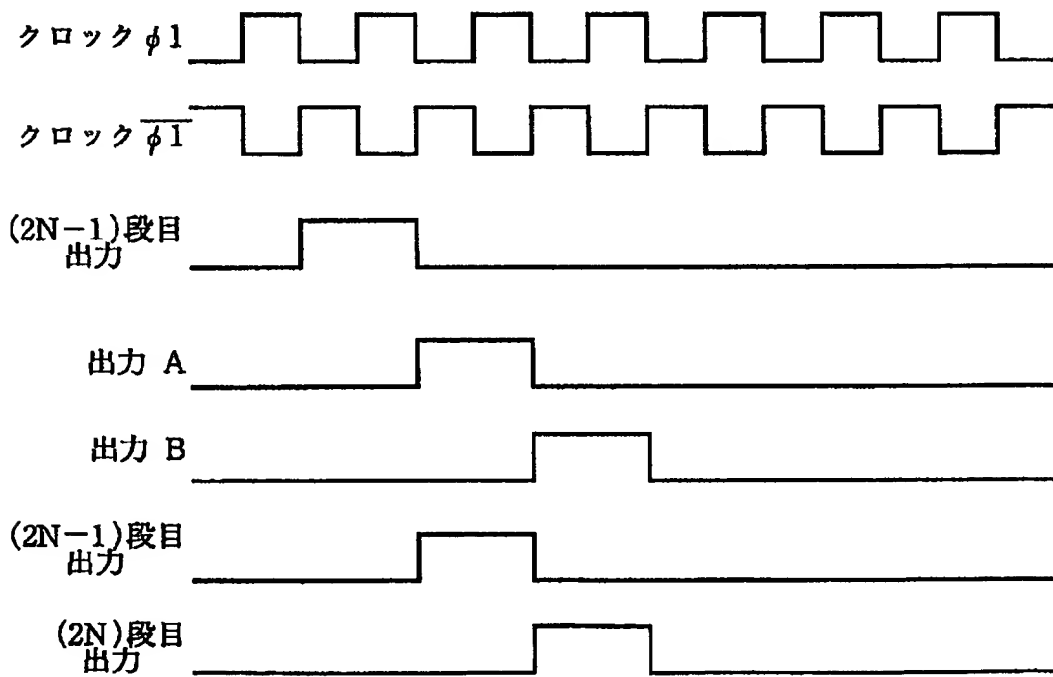
【符号の説明】

- 101 パストランジスタ
- 102 フィードバック回路
- 103 出力バッファ
- 301 1ビットシフトレジスタである。

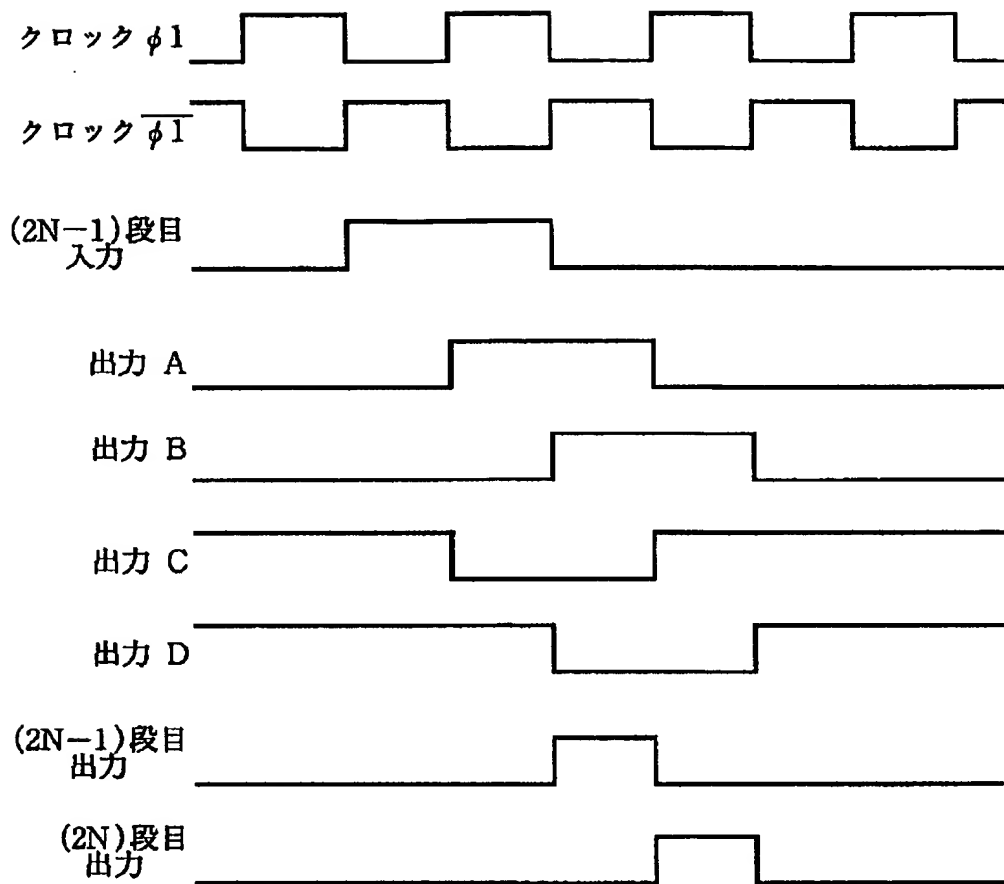
【図 1】



【図 4】



【図2】



【図3】

